

小波变换的 FPGA 实现

王延平 刘 焯 尹 亮

(武汉大学信号处理研究室, 国家软件工程重点实验室, 武汉 430072)

摘 要 为了实时进行不同小波基的快速小波变换, 本文介绍了利用现场可编程阵列 FPGA 实现小波变换的设计。

关键词 小波变换, FPGA, 现场可编程阵列

1 用 FIR 滤波器实现小波多分辨率分析算法

小波变换具有放大、缩小和平移等功能, 可通过检查不同放大倍数下的变化来研究信号的动态特性。信号经过小波变换后, 相关性大大降低。小波变换的一个重要特点是能够同时在时间(或空间)和频域内进行局部化分析, 它较好地解决了时间和频率分辨率的矛盾, 对时变信号进行分析具有明显的优越性。

在小波多分辨率分析算法中, 在紧支集的正交小波基下, 离散信号 $\{S_n^0\}$ 从第 j 层到第 $j+1$ 层的递推分解公式为:

$$S_k^{j+1} = \sum_{n=0}^{2M-1} h_n S_{n+2k}^j$$
$$d_k^{j+1} = \sum_{n=0}^{2M-1} g_n S_{n+2k}^j$$

其中:

$$g_k = (-1)^k h_{2M-k-1}$$

可见分解实质是信号通过了一对正交镜像滤波器:

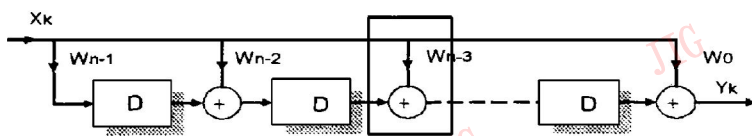


图1 横向滤波器的结构

X_k : 滤波器输入 Y_k : 滤波器输出

$W_j (j = 0, 1, \dots, n-1)$: 滤波器系数

Fig. 1 FIR structure.

低通滤波器 H (系数 h_n) 及高通滤波器 G (系数 g_n), 因此紧支集的正交小波基条件下小波多分辨率分析算法的实现等同于 FIR 滤波器的设计(图1)^[1]。

这样的 FIR 滤波器的结构中只包括乘法、加法、延迟单元, 一般硬件实现时延迟单元使用寄存器完成; 加法采用或门和与门实现, 或门输出加法结果, 与门实现进位输出; 乘法器一般采用加法器组合而成, 结构复杂。乘法器中大量门之间的延迟, 严重地限制了工作频率。若将 FIR 滤波器的系数分解成两个 2 的升幂项的和或差, 则 FIR 滤波器抽头处的乘法器可以用移位器来代替(图2)。

使用 2 的升幂项的和或差代替滤波器系数后, 可以使滤波器实现位并行处理结构, 并且可以使相当长度的滤波器仍然保持高抽样率。但是滤波器的简化是以频响特性的恶化为代价获得的, 其程度依赖于代替系数的 2 的幂项的数目、滤波器的结构等。

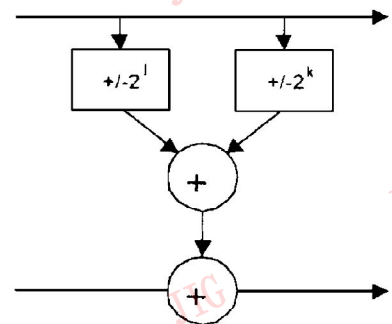


图2 滤波器结构

Fig. 2 Filter structure.

2 小波变换的 FPGA 实现

图 1 所示有限冲激响应滤波器(FIR)的结构虚线框内部为一个滤波器节。每个滤波器节由一个乘法器和一个加法器组成,我们将乘法简化为两个 2 的幂次方的和或差,这样电路实现时可简单地由移位和加法操作完成,简化后的滤波器节包括两个加法器和一个寄存器。

为获得高速率,滤波器采用了位级并行方式^[2]。同时为减少积聚路径产生的误差,在滤波器内部第一滤波节将数据位扩展一倍处理,再根据要求精度位截取所需的最终输出。

一个四阶 FIR 滤波器的结构(图 3),其中两个加法器的输入由输入信号经过一定的移位后给出。移位级数是由给定系数决定的。移位器并不需要专门的设计,通过上一级的输出信号与下一级的输出信号的搭配完成。因为 FPGA 具有贯穿整个全局的互连通道,所以在 FPGA 上移位操作很容易实现的。实际资源的考虑主要是寄存器的消耗。一个 n 位 m 阶的滤波器,数据寄存需要的寄存器为 $m \times n$ 个;加法器占用逻辑单元(内含一个寄存器),另外要消耗寄存器 $2 \times m \times n - n$ 个,减去 n 个是因为第一个滤波器节中只包含一个加法器。

我们选用的器件是 ALTERA 公司的 FLEX8000 系列的 EPF8282^[3],它具有 282 个触发器,208 个逻辑单元,故最多可以实现 6 阶 16 位的 FIR 滤波器。实际中对图象进行小波多分辨率分析时,输入信号数据一般都是 8 位整型数,在 FIR 滤波器内部进行 16 位精度的处理,其精度可以满足要

求。此外 FLEX8000 系列的一个重要特点是其配置数据存放在 SRAM 单元中,通过读入外部的 E-PROM 中存放的配置数据加载,或者由外部主机将配置数据传送到 SRAM 单元中,非常适合于 PC 内插卡的设计。

3 结果

我们利用一片 EPF8282 实现了对 Daubechies D4 基和 D6 基的小波多分辨率分析算法。工作时输入数据(data)位为 8 位,输出数据(output)位为 8 位,输入(start/end)控制数据处理的开始以及数据处理结束后清除所有寄存器,输入 (clk)时钟信号。输入数据在 FPGA 内扩展为 16 位以提高运算精度,以定点补码的形式表示数据。16 位定点补码分为 1 位符号位、9 位整数位及 6 位小数位,可表示的最大数为 $(2^n - 1) + (1 - 2^{-m}) = 511.984375$,其中 n 为整数位, m 为小数位,可表示的最小数为 $-2^n - 1 = -513$,能处理 256 灰度级别的图象。

对 D4 和 D6 基滤波器系数的分解以及滤波器移位的设计见表 1、表 2。比较器用来将 16 位数据恢复为 8 位数据,同时将负数值以 0 输出。

D4 基低通滤波器 H 的设计占用 EPF8282 资源的 65%,逻辑单元 129 个,时钟频率最高 9.68MHz。D6 基低通滤波器 H 的设计占用 EPF8282 资源的 95%,逻辑单元 195 个,时钟频率最高 10.29MHz。

我们选定了一组原始数据,对它们进行 D4 基的小波变换,同时作为输入信号进行时序仿真,D4 基小波变换后低频分量的实际输出结果和时序仿真时数据通过 EPF8282 的输出见表 3。

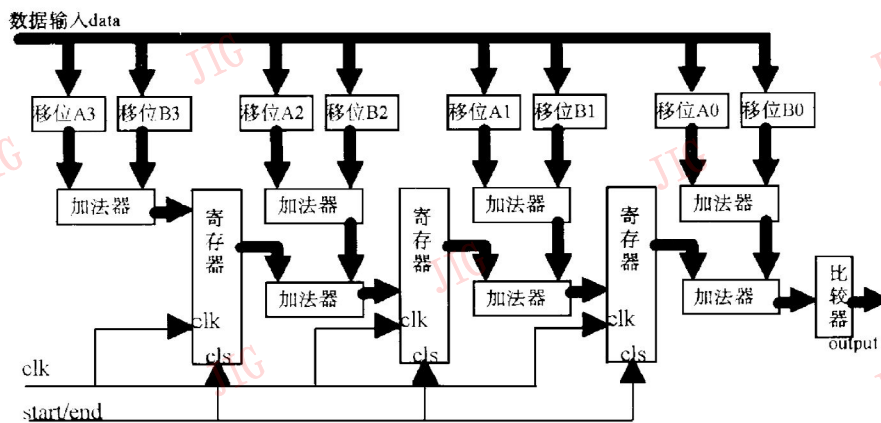


图 3 FPGA 内部结构设计原理图

Fig. 3 Schema of FPGA internal structure.

表 1 D4 基移位器设计

Table 1 Design of Shifter with D4 Basis

小波基 D4 基 $h_{(n)}$	简化	移位 A	移位 B
0.482962913145	$2^{-1}-2^{-6}=0.484375$	右移 1 位	右移 6 位
0.836516303738	$2^0-2^{-3}=0.875$	右移 0 位	右移 3 位
0.224143868042	$2^{-2}-2^{-5}=0.21875$	右移 2 位	右移 5 位
-0.129409522551	$-2^{-3}-2^{-8}=-0.12890625$	右移 3 位	右移 8 位

表 2 D6 基移位器设计

Table 2 Design of Shifter with D6 Basis

小波基 D6 基 $h_{(n)}$	简化	移位 A	移位 B
0.332670552950	$2^{-2}+2^{-4}=0.3125$	右移 2 位	右移 4 位
0.806891509311	$2^{-1}+2^{-2}=0.75$	右移 1 位	右移 2 位
0.459877502118	$2^{-1}-2^{-4}=0.4375$	右移 1 位	右移 4 位
-0.135011020010	$2^{-3}-2^{-2}=-0.125$	右移 3 位	右移 2 位
-0.085441273882	$2^{-5}-2^{-3}=-0.09375$	右移 5 位	右移 3 位
0.035226291882	$2^{-5}+2^{-8}=0.03515625$	右移 5 位	右移 8 位

表 3 输出结果比较

Table 3 Output Comparing

输入数据	4	8	16	32	64	35	74	23	45	87
变换输出	1	7	15	30	60	75	72	53	75	
时序仿真	1	7	15	30	61	77	76	75	53	77

由上表可以看出,采用 FPGA 上实现的小波算法结构作时序仿真的输出结果与在计算机上采用原始小波基作小波变换的输出结果误差很小,可以满足信号处理中数据源精确度的需要。

参考文献

- Joseph B Evans. Efficient FIR filter architectures suitable for FPGA implementation. IEEE Trans. CAS-Analog and Digital Sig Proc, 1994, 41(7): 490~493.
- Chuang H Y H, Chen L, Li C C. A scalable VLSI parallel pipelined architecture for discrete wavelet transform. Proc. SPIE Conf on Machine Vision Applications, Architecture and System integration, Boston, 1993, 66~73.
- 刘宝琴,张芳兰,田立生. ALTERA 可编程逻辑器件及其应用. 北京:清华大学出版社,1995.



王延平 武汉大学电子信息学院教授,博士生导师。主要研究领域为信号处理、图象处理、模式识别等。著有“信号复原和重建”一书。一些研究成果曾分别获得国家发明奖、国家教委及湖北省和武汉市科技进步奖。

Wavelet Transform Implemented by FPGA

Wang Yanping Liu Zhi Yin Liang

(Lab of Signal Processing, Wuhan Univ., State Key Lab of Software Engg, Wuhan 430072)

Abstract For performing the real time wavelet transform with different wavelet basis, one design of FPGA implementation (Field Programmable Gate Array) for the wavelet transform is introduced in this paper.

Keywords Wavelet transform, FPGA, Field programmable gate array