

应用于图象融合的高集成度视频信号采集系统

方庆喆 倪国强 蒲恬

(北京理工大学光电工程系, 北京 100081)

摘要 为配合多波段图象实时融合系统的研制, 设计和开发了高速、高集成度, 并具有广泛通用性的前端视频信号采集系统。该系统的设计和开发采用了专用视频解码芯片和大规模可编程逻辑器件(EPLD)以及 VHDL 语言。系统具有集成度高、可靠性好、性能优良、体积小、接口简单、采样参数在线可编程修改等特点。其应用于多波段图象采集和融合系统中, 作为前端图象采集部分取得了良好的效果。同时, 该设计也可作为前端图象采集部分用于其他图象处理系统中。

关键词 视频信号 EPLD VHDL 图象采集

中图分类号: TP274.2 TN941.4 TP334.22 **文献标识码**: A **文章编号**: 1006-8961(2002)02-0196-05

High Integrated Video Signal Grabbing System for Multi-Spectrum Image Fusion

FANG Qing-zhe, NI Guo-qiang, PU Tian

(Department of Optical Engineering Beijing Institute of Technology, Beijing 100081)

Abstract In the design of a front-end of a real-time image fusion system, a high-speed, high-integrated, general-purpose video signal grabbing system has been developed by using one integrated video decoder, a large-scale EPLD device. The EPLD device is configured by a program written in the VHDL language. The grabbing system can provide randomly continually data buffer memory access without waiting by using two buffer memory banks, which map to same address space. The grab parameters, for example, the beginning point, the dimension of grab window, can be change on line. It has following advantages: high integration and reliability, small dimensions, simple interfaces and in system programmability, etc. The system can be realized in one EPM7064SLC84 EPLD device without I²C interface. The full-function EPLD chip with I²C interface is implemented in one EPM7160SLC84 and successfully applied to a multi-channel image grabbing and fusion system. The on-chip resource usage rate is 80%. On the other hand, the design can be also applied to the other image processing systems as a high integrated video signal grabbing front-end without hardware change. The need change can be implemented by change the VHDL program which configures the EPLD device.

Keywords Video signal, EPLD, VHDL, Image acquisition

0 引言

数字图象处理技术在电子通信与信息处理领域得到了广泛的应用, 设计一种功能灵活、使用方便、便于嵌入到系统中的视频信号采集电路具有很大的

实用意义。随着现代电子技术的发展, 电子器件的集成度和芯片功能不断提高, 片上系统(system on a chip)概念的产生, 各种单片大规模集成电路不断出现在市场上, 甚至可以替代过去板级产品, 从而构成单芯片系统, 使得原来非常复杂的电路设计得到了极大的简化, 并且使原来纯硬件的设计, 变成软件和

基金项目: 国家高技术 863 计划(863-308-18-04(3)), 国家重点预研项目

收稿日期: 2000-09-01, 改回日期: 2001-05-29

硬件的混合设计,使系统设计具有了柔韧性。

在研究多波段图象像素级实时融合系统时,考虑到高速实时处理及实用化的具体要求,就需要设计开发具有高速、高集成度等特点的视频图象信号采集系统。本文介绍了一种应用在多波段图象实时融合处理系统中的前端图象采集部分,即采用专用视频解码芯片和大规模可编程逻辑器件(EPLD)构成的高集成度视频信号采集系统。该系统采用专用视频解码芯片,以EPLD器件作为控制单元和外围接口,双缓存结构,能够有效地实现视频信号的采集与读取的高速并行,具有整体电路简单、可靠性高、集成度高、接口方便等优点,无需更改硬件电路,就可以应用于各种视频信号处理系统中,作为前端采样模块。

1 视频信号采集系统的基本特性

一般的视频信号采集系统的原理图如图 1 所示,视频信号经箝位放大、同步信号分离、亮度/色度信号分离和 A/D 变换,采样数据按照一定的时序和总线要求,输出到数据总线上,从而完成视频信号的解码。图中的存储器作为帧采样缓冲存储器,可以适应不同总线、输出格式和时序要求的总线接口。

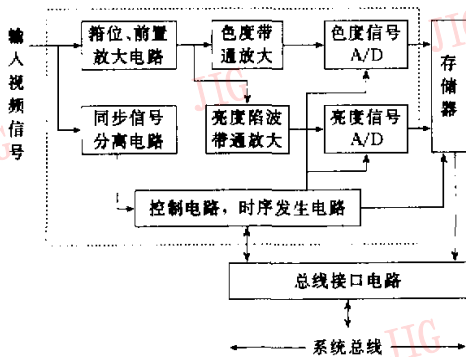


图1 视频信号采集系统原理图

视频信号采集系统是高速数据采集系统的一个特例,由于视频信号所具有的特殊性,如具有可以周期性检出的同步信号、彩色电视信号中的色差信号及采样点的精确定位要求等,造成视频信号采样与通常意义上的高速数据采集系统相比,具有自身的一些特点。以往采用小规模数字和模拟器件,构成视频信号采集系统,来实现高速运算放大、同步信号分离、亮度/色度信号分离、高速 A/D 变换、锁相环、时

序逻辑控制等电路的功能。由于系统的采样频率和工作时钟高达数十兆赫兹,且器件集成度低,布线复杂,级间和器件间耦合干扰大,因此开发和调试难度都非常大;另一方面,为达到精确采样的目的,采样时钟需要和输入的视频信号构成同步关系,因而,对分离出来的同步信号和系统采样时钟进行锁相,产生精确同步的采样时钟,成为设计和调试过程中的另一个难点。同时,通过实现亮度、色度、对比度、视频前级放大增益的可编程控制等要求,达到视频信号采集的智能化,又是以往这些系统难以完成的。上述这些问题,都造成了以前的视频信号采集系统不仅设计难度大,而且体积大、性能低、功能较为简单。

2 采用 SAA7110A 图象采集系统的设计

采用 SAA7110A 作为基于 TMS320C32 DSP 处理器的图象融合系统输入前端视频采样处理器,如图 2 所示。

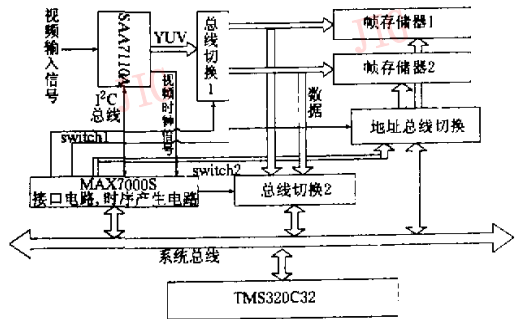


图2 系统整体功能简图

SAA7110/SAA7110A 是高集成度、功能完善的大规模视频解码集成电路^[1]。它采用 PLCC68 封装,内部集成了视频信号采样所需的 2 个 8bit 模/数转换器,时钟产生电路和亮度、对比度、饱和度控制等外围电路。其功能涵盖了图 1 中虚线框所包含的功能,从而极大地减小了系统设计的工作量,并通过内置的大量功能电路和控制寄存器实现了强大的功能和灵活的配置。SAA7110/SAA7110A 可应用的范围包括桌面视频、多媒体、数字电视机、图象处理、可视电话、视频图象采集系统等领域。

SAA7110/SAA7110A 的控制总线接口为 I²C 总线。SAA7110/SAA7110A 作为 I²C 总线从器件,

根据 SA 管脚的电平,器件的读写地址可以分别设置为 9CH/9DH(W/R, SA=0)或 9DH/9FH(W/R, SA=1)。其内部共计 47 个寄存器,分别控制解码器(00H~19H)和视频接口(20H~34H)。通过 I²C 总线读、写片内的上述寄存器,可以完成输入通道选择、电平箝位和增益控制、亮度、色度和饱和度控制等功能。

AX7000S 系列^[2]是 EPLD 器件,主要特性有:片内门数 600~5 000 门;脚到脚延迟小于 5ns;每一个输出管脚可以单独设置为开漏级输出;通过 JTAG 接口实现在线编程(ISP),可以随时进行系统的重新设计和功能升级。

由于系统要求实现实时图象处理,同时在图象融合处理算法中,有全局运算存在,因此从简化软、硬件设计的角度出发,采用双缓冲“乒乓”方法实现高速采集数据的存储和读取并行,从而系统有重叠于相同地址空间的双缓冲存储器。在系统工作的任一时刻,一块缓存用于图象当前场采样数据的保存;另一块用于主机对保存在该存储区中前一场采样数据的读取。在帧同步期间,对两块缓冲存储器进行切换,实现的方法如下:采用两个完全相同的存储器模块,映射到同一个地址区间,在工作过程中,通过接口电路,在一帧周期中,一块存储器与 SAA7110A 数据总线连接,处于写入采样数据状态,另一块存储器与系统数据总线连接,处于读出数据状态,且它们相互之间互不干扰。在帧同步期间,交换两者接口,这样,对于采集和处理部分来说,读、写的始终是同一段存储器,不需要判断当前采用的存储器位置,不存在需要避免总线冲突而造成的等待和同步问题,从而简化了系统的设计,提高了系统的可靠性。

由大规模可编程器件(EPLD)实现的控制部分主要完成下列功能:系统并行总线到 I²C 总线的转换接口;采样数据接口控制系统,完成帧存储器地址、读、写信号产生电路;系统控制接口子系统,完成系统控制总线、数据总线的接口功能。

由于 TMS320C32 DSP 没有内置 I²C 总线接口,因此为简化软、硬件设计的复杂程度,采用单独的一个功能模块(IP 核),在可编程器件内,实现 I²C 总线到 DSP 的系统存储器地址空间内的一个 32bit 单元的映射,提供串、并行转换双向数据总线、DSP 主控制器模式及高速器件与慢速 I²C 总线的速度转换接口^[3]。DSP 通过上述接口,可以直接对 SAA7110A 进行工作模式设置和状态读取。

由于 SAA7110A 的输出时钟信号 LCC 和 LCC2 与采样时钟和数据输出时钟同步,因而作为采样数据接口控制子系统中数据存储控制的时钟和完成各种功能的同步时钟,系统不需要生成或采用另外的时钟信号,从而避免了外部时钟、采样时钟和视频信号相互间的同步和锁相问题,既保证了整个系统的同步,又极大地降低了系统设计的难度。由 SAA7110A 输出的行有效信号 HREF、行同步信号 HS、场同步信号 VS、奇偶场信号 ODD,以及系统采样时钟 LCC 和二分之一倍频时钟 LCC2 等经过处理,可获得当前采样位置信息,并产生帧存储器地址、片选和写控制信号,达到采样的时间和空间位置和精度要求。

采样起始点位置(HBe, VBe)和采样范围(HLo, VLo)可以通过存储器映象的寄存器设置,但必须满足下面两个限制: HBe + HLo < 每行点数; VBe + VLo < 每帧行数。外围控制电路根据上述时钟和同步信号,产生当前帧采样缓冲存储器的帧存地址和写时序信号,实现:可变采样起始行、列位置;可变采样行、列数;在帧回扫期间,自动切换存储器;采样数据存储地址产生;系统控制总线、地址总线读、写功能和时序转换;完成帧采样后,向 DSP 发出中断申请信号。

根据设计功能和时序要求,采用 VHDL 语言^[4]设计并实现具有上述功能的外围控制电路。具体实现方法如下:

(1) A/D 采样与帧存储器接口

容量为 128k × 8 bit 的帧采样缓冲存储器映射到地址空间 00000H~1FFFFH,宽度为 8 bit,仅保存亮度采样值。帧存储器地址产生和写时序由一状态机控制生成,状态转换如图 3 所示。

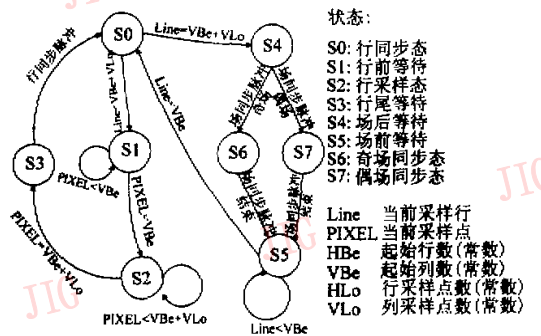


图 3 SAA7110A 与帧存储器接口状态机

变量(内部寄存器)HBe, VBe, HLo, VLo 用于保存起始行、起始列、行采样、列采样点数信息,且可以通过系统总线接口实现在线实时修改,并在下一帧采样时发生作用. Line 和 PIXEL 为内部寄存器,用于保存当前采样行、列信息.

在 S2 状态, 帧采样缓冲存储器控制接口输出帧采样缓冲存储器使能信号和存储器地址和写时序信号,并在相应的存储器单元保存 SAA7110A 通过 YUV 总线输出的采样值. 在 S0、S1 和 S3~S7 状态, 帧存储器处于非使能状态, 状态机根据 SAA7110A 输出的状态信号进行状态转换, 并完成其他一些系统控制功能. 例如, 在 S7 状态, 进行存储器地址和数据总线切换, 使得保存上一帧采集数据的存储器交换到 DSP 接口数据总线上, 供 DSP 读取, 数据已被读取的存储器则被交换到内部, 与 SAA7110A 的 YUV 数据总线连接, 等待下一场数据写入.

由上述状态机产生的帧采样缓冲存储器控制和地址信号如图 4、图 5 所示, 图中 CVBS 为输入复合视频信号, YUV 是 SAA7110A 输出的视频采样值, ODD 是 SAA7110A 输出的奇偶场信号, Switch1, 2

是分别控制图 2 中 3 个总线切换器的控制信号, CS 为帧采样缓冲存储器写操作时片选信号, ADD[0, ..., 15] 为对应于某点采样输出值的帧采样缓冲存储器地址. 从图中可以看到, 通过在行、场期间提供相应帧采样缓冲存储器的片选信号 CS、写信号 WR、地址信号 ADD[0, ..., 15], 使 SAA7110 输出的 YUV 数据保存到帧采样缓冲存储器对应的位置, 而在其他时间对于 SAA7110 输出的 YUV 数据则不予保存, 从而达到取样空间位置和时间要求. 由于视频信号在帧同步期间没有图象信息, 因此在帧间进行数据和地址总线的切换, 可以避免采样信息的丢失, 并可以及时地把保存最近一帧采样数据的存储器连接到系统数据总线上.

(3) 系统总线接口

采用的 SRAM 读写速度为 15ns, 其完全可以满足 DSP 的读写要求, 而且时序上也完全匹配^[5,6], 每一帧采样数据可供 DSP 读取的时间为视频信号的帧周期. 接口主要是完成地址译码和总线接口. 对于处理系统软件编写来说, 只要把帧采样缓冲存储器映射到 DSP 存储区的一片连续的 128KByte 区里, 由采样系统发出的中断信号就触发中断处理例程中对上一帧视频采样数据的读取和处理. 只要在一个帧周期中完成对采样数据的读取和转移, 所读到的就都是同一帧中的采样数据, 并且可以在一帧时间范围内的任意时刻, 以任意顺序对任意地址进行读操作. 寄存器 HBe, VBe, HLo, VLo 和状态 Line 和 PIXEL 映射到 DSP 存储区的特定的地址空间时, DSP 通过对相应地址的读、写就可以设置、修改和读取采样系统的当前状态, 从而增加了系统的灵活性和智能化.

3 系统的特点

整个方案采用大规模可编程器件和多功能的视频解码芯片, 把系统需要的所有功能模块和外围设备接口都集中在单个芯片中实现, 从任何一个子系统(采样、存储、系统接口)接口方向看, 都与其他外接子系统无关, 无需增加其他外围逻辑, 即可达到无缝连接(no glue), 从而简化了软、硬件设计.

主机软件通过 I²C 总线对视频解码芯片进行功能设置或通过 JTAG 接口对可编程器件进行在线编程, 可以不加修改地作为前端采样接口, 应用于其他视频处理系统, 完成多通道输入选择, 采样区域的

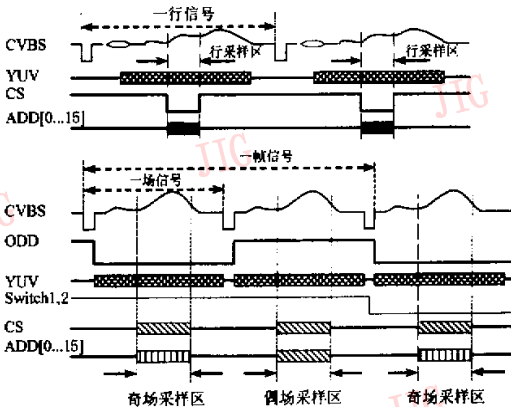


图 4 帧存储器控制和地址信号

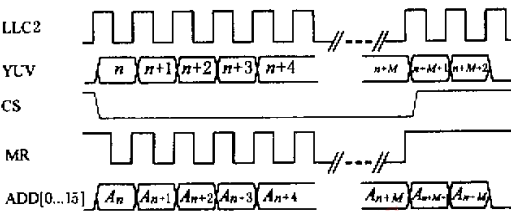


图 5 CS 信号和帧采样缓冲存储器地址与 LLC2 时钟信号的关系

起始位置和范围设置,输入视频信号箝位和增益控制,亮度、色度和饱和度控制,数字化输出格式选择等多种功能。

上述设计方案采用 VHDL 语言在 MAXPLUS I 环境中实现,其中采样控制和系统总线接口部分共使用了 63 个逻辑单元阵列,如果不考虑 I²C 接口,则可以在一片 EPM7064SLC84 (1 250 个门,64 个逻辑单元阵列)中实现,器件利用率高达 98.4%,较其他一些设计^[7],不仅减少了资源消耗(较小规模的器件),而且还具有多通道选择,采样起始点和采样范围精确设置,采样参数(亮度、色度、对比度、视频前级放大增益等)控制等更多的功能。同时,由于系统的采样时钟与视频信号锁相同步,可以达到精确的采样位置控制。

整体方案在一片 EPM7160SLC84 (3 200 门,160 个逻辑单元阵列)中实现,提供 I²C 接口和采样时序逻辑控制接口,使后端处理系统可以通过软件,直接控制采样系统的许多参数,达到最大的灵活性。

4 结 语

由于现代电子技术的高速发展和大规模集成化芯片的出现,以往由分立器件构成的系统,完全可以由 1~2 片大规模专用或可编程芯片实现,极大地降低了设计难度,提高了性能和可靠性。以本系统设计为例,以往设计过程中,需要解决以下几个问题:(1)高速采样系统中的抗干扰问题;(2)采样点的精确定位;(3)较好的调试性能。现由于 SAA7110A 内置了箝位、程控增益放大、同步分离、滤波、A/D、时钟锁相等功能,上述问题都得到了很好的解决。另一方面,以往采用小规模 74 系列通用集成电路,小规模可编程芯片(GAL/PAL)、原理图和逻辑/时序化简方法进行控制和接口部分设计,并且在完成 PCB 板时,需要考虑高频信号的抗干扰和整体工艺。相比之下,采用硬件描述语言 and 大规模可编程芯片实现外围控制和接口芯片,则要简单和快速得多。通过在设计环境中进行仿真,可以在制作 PCB 板前对整个电路的信号逻辑和时序有充分的预先了解,提高了设计的成功率。在电路板制成后的调试和修改过程中,可以直接通过器件的 JTAG 接口在线进行,无需重新设计和制作 PCB 板,大大缩短了系统整体实现周期。

把上述方案应用于多波段图象实时(准实时)采集和融合系统中,取得了十分良好的效果。该系统也

完全可以应用于其他嵌入式视频信号采集、处理场合中,具有广泛的用途。

参 考 文 献

- 1 Philips semiconductors. SAA7110/SAA7110A Data sheet [EB/OL]. <http://www.semiconductors.philips.com>, 1995.
- 2 ALTERA Co. Ltd. Max 7000 Data sheet [EB/OL]. <http://www.altera.com>, 2000.
- 3 何立民. I²C 总线应用系统设计[M]. 北京:北京航空航天大学出版社, 1995.
- 4 侯柏亭, 顾新. VHDL 硬件描述语言与数字逻辑电路设计(修订版)[M]. 西安:西安电子科技大学出版社, 1999.
- 5 Texas Instruments. TMS320C3X User Guide [EB/OL]. <http://www.ti.com>, 1997.
- 6 SAMSUNG Electronics. KM681001A data sheet [EB/OL]. <http://www.samsung.com>, 1998.
- 7 肖亮, 沈建军等. 基于 CPLD 的黑白全电视信号采集系统[J]. 微处理机, 1999, 8(4): 21~25.



方庆 1995 年获北京理工大学光电工程学士学位, 现在北京理工大学光电工程系攻读博士学位, 研究方向为实时信号处理系统、并行图象处理技术。



倪国强 博士, 教授, 博士生导师, 主要研究领域为光电成像器件、技术与系统, 实时图象处理与融合技术, 紫外区域通信技术, 已发表论文 100 余篇, 著作 1 本。



蒲 恬 1998 年获北京理工大学光电工程硕士学位, 现在北京理工大学光电工程系攻读博士学位, 研究方向为基于神经网络的图象融合处理技术。