

基于 FPGA 动态可重构的高速、高质量的图像放大

李开宇 张焕春 经亚枝

(南京航空航天大学 自动化学院, 南京 210016)

摘要 为了能高速、高质量地进行图像放大,提出了一种以硬件方法完成高阶图像插值运算来实现图像放大的新方法。该方法为了保证图像放大后的质量,采用了3次B-样条来对图像放大后的像素点灰度值进行插值运算,并提出一种基于IIR和FIR数字滤波器的3次B-样条插值法的高速实现方案。另外,为了能在系统中实现不同倍数图像放大,系统中还引入了基于FPGA的动态可重构技术,即通过实时地改变FPGA的配置,以实现不同的算法。同时还针对256灰度级图像设计出一种基于FPGA的高速、高质量的硬件图像放大及显示系统。

关键词 图像放大 B-样条插值 有限脉冲响应 无限脉冲响应 现场可编程门阵列 动态可重构技术

中图分类号: TP391 **文献标识码**: A **文章编号**: 1006-8961(2005)01-0069-06

Fast, High-quality Enlargement of Image Based on Dynamic Reconfigurable FPGA

LI Kai-yu, ZHANG Huan-chun, JING Ya-zhi

(College of Automation Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing 210016)

Abstract In order to realize fast, high-quality enlargement of image, this paper introduces a new approach to achieve the high-order interpolation and realize the enlargement of images by means of hardware. In order to ensure high quality of the enlarged image, the paper adopts the cubic B-spline interpolation to calculate the gray of pixels of the enlarged image. What is more, the paper develops an IIR(infinite impulse response)-based and FIR(finite impulse response)-based digital filter to realize fast cubic B-spline interpolation. In order to realize different multiple enlargement of image in the system, the dynamic reconfigurable design based on FPGA(field programmable gate array) has been applied in the system, which can real-time reconfigure FPGA so as to achieve the different arithmetic. And it designs a fast and high-quality image enlargement and displays system based on dynamic reconfigurable FPGA for the images in 256 gray levels.

Keywords image enlargement, B-spline interpolation, finite impulse response(FIR), infinite impulse response(IIR), field programmable gate array(FPGA), dynamic reconfigurable technique

1 引言

图像放大是一种常用的数字图像处理技术,可广泛地应用于军事、航空、医学、通讯等方面。目前图像放大处理通常都采用软件方法去实现,尽管其算法多种多样,且图像放大后的质量也比较高,但是,由于其运算时间往往较长,因此在某些实时性要求较高的数字图像处理场合不能采用这种方法。采用硬件方法实

现图像放大,虽然其处理速度可大大提高,不过,由于采用硬件实现时,资源非常有限,许多处理算法因过于复杂而无法通过硬件实现。目前在进行硬件图像处理过程中,由于大多采用低次数的插值算法(如0次或1次),因此图像显示的质量较差。为了在保证高速进行图像处理的前提下,同时达到图像放大处理的高质量要求,本文提出了一种在图像放大处理中,应用3次B-样条函数的插值与无限脉冲响应(infinite impulse response, IIR)和有限脉冲响应(finite impulse response,

收稿日期:2003-11-24; 改回日期:2004-08-27

第一作者简介:李开宇(1969~),男,2000年获东南大学计算机科学与工程系计算机工学硕士学位,2004年获南京航空航天大学自动化学院博士学位,现为该校自动化学院测试工程系教师。研究方向为数字信号处理,数字图像处理,数据采集。E-mail: lky_401@yahoo.com.cn

FIR)的数字滤波技术相结合成快速 B-样条插值算法,并针对 256 级灰度的图像,设计出了一种基于现场可编程门阵列(field programmable gate array, FPGA)动态可重构技术的高速、高质量的图像放大处理系统,其运算速度快,可以满足高速图像放大的要求。

2 基于 B-样条的快速插值算法

2.1 B-样条函数

“ n 次样条函数空间”是平方可积(可和)空间函数子集,其函数是 n 次分段多项式,最多到 $n-1$ 次偏导数,根据 Schoenberg 的定义^[1], n 次样条函数空间可表示为

$$V^n = \{s^n(x) = \sum_{k \in \mathbf{Z}} c(k)b^n(x-k) \mid x \in \mathbf{R}, c \in L_2\} \quad (1)$$

式(1)中 V^n 表示结点距离为 1 的 n 次样条函数空间, b^n 表示对称的 n 次 B-样条函数, L_2 是 2 次可积函数空间, $c(k)$ 是 B-样条的系数序列(或称权系数),显然 $\{b^n(x-k) \mid k \in \mathbf{Z}\}$ 构成了 V^n 空间中的一组基。

B-样条函数可通过下述递归公式定义^[2-4]: $b^n(x) = b^{n-1}(x) * b^0(x)$, 其中 $b^0(x)$ 是 0 次 B-样条:

$$b^0(x) = \begin{cases} 1 & -0.5 < x < 0.5 \\ 0 & \text{其他} \end{cases}$$

于是 n 次 B-样条函数可推导出

$$b^n(x) = \sum_{j=0}^{n-1} \frac{(-1)^j}{n!} C_{n+1}^j \cdot \left(x + \frac{n+1}{2} - j\right)^n \cdot \mu\left(x + \frac{n+1}{2} - j\right) \quad (x \in \mathbf{R}) \quad (2)$$

其中, $\mu(x) = \begin{cases} 0 & x < 0 \\ 1 & x \geq 0 \end{cases}$ 。由于 B-样条函数具有连续性、紧支性、规范性、对称性、阶间递推性等许多良好的性质,因此 B-样条函数对于本系统中进行图像数据的处理很适用。

2.2 图像放大中基于 B-样条快速插值

数字图像处理中,处理数据对象可看作是 2 维离散信号,而在图像的放大处理中则需要对图像像素点的灰度值进行插值处理。所谓插值是指对于采样点附近的像素点进行一定规则的线性或非线性的组合而得到新像素点的灰度值。一般对 2 维离散信号的插值是采用张量积形式,即先对行(或列)插值,再对列(或行)插值,由于这样就将 2 维插值转换为 1 维插值,从而简化了插值运算。这里将给出 1

维空间中基于 B-样条的插值模型。

由式(1)可知, $s^n(x) \in L_2$ 是 1 维连续变量 x 的 n 次样条函数,对于原图像各像素采样点的灰度值满足: $s(k) = s_1^n(x)|_{x=k}$, 其中 $s_1^n(x)$ 表示放大倍数为 1(即原始图像)的 n 次样条函数。当图像沿行(或列)方向放大 m 倍后,各采样点附近像素点的灰度值可表示为

$$s_m(\hat{k}) = s\left(\frac{\hat{k}}{m}\right) = \sum_{i=-\infty}^{+\infty} c(i)b_m^n(\hat{k}-im) = c_m(\hat{k}) * b_m^n(\hat{k}) \quad (3)$$

其中, $*$ 表示卷积运算(下同), $c_m(\hat{k})$ 是通过将 $c(k)$ 按放大倍数 m 进行上采样而获得的:

$$c_m(\hat{k}) = \begin{cases} c(k) & \hat{k} = mk \xrightarrow{z \text{ 变换}} C(z^m) \\ 0 & \text{其他} \end{cases} \quad (4)$$

式(4)中, $c(k)$ 是对原始图像像素点的灰度值构建 n 次样条空间时的 B-样条系数,即

$$s_1^n(k) = s_1^n(x)|_{x=k} \Rightarrow s_1^n(k) = \sum_j c(j)b_1^n(k-j) = c(k) * b_1^n(k) \xrightarrow{z \text{ 变换}}$$

$S(z) = C(z) \cdot B_1^n(z) \rightarrow c(k) = (b_n)^{-1} * s(k)$ (5) 由式(5)可知,样条系数 $c(k)$ 可通过对原图像像素点的灰度值进行反向滤波求得,即对 $c(k) = (b_n)^{-1} * s(k)$ 式中的 $(b_n)^{-1}(k)$ 进行 z 变换可得

$$(B_n)^{-1}(z) = \frac{1}{\sum_{k \in \mathbf{Z}} b_n(k)z^{-k}} \quad (6)$$

由式(6)可知,由于 $(B_n)^{-1}(z)$ 构成了 IIR 数字滤波器的系统函数,因此 B-样条的系数序列 $c(k)$ 可看作是对原始图像各采样点的灰度值 $s(k)$ 进行 IIR 数字滤波的过程。

另外,式(3)中, $b_m^n(k)$ 是带放大倍数 m 的 n 次离散 B-样条函数,可由式(2)推导出

$$b_m^n(k) = b^n\left(\frac{k}{m}\right) = \frac{1}{m^n} \sum_{j=0}^{n-1} \frac{(-1)^j}{n!} C_{n+1}^j \cdot (k-jm)^n \cdot \mu(k-jm) \quad (7)$$

对式(7)进行 z 变换后可得

$$B_m^n(k) = \frac{1}{m^n} \underbrace{(b_m^0 * b_m^0 * \dots * b_m^0)}_{n+1 \text{ 次}} * b_1^n(k) \quad (8)$$

对式(8)中的 $b_m^0(k)$ 和 $b_1^n(k)$ 分别进行 z 变换可得 $B_m^0(z) = \sum_{k \in \mathbf{Z}} z^{-k}$, $B_1^n(z) = \sum_{k \in \mathbf{Z}} b_1^n(k)z^{-k}$ 。于是对式(8)进行 z 变换可得

$$B_m^n(k) \xrightarrow{z \text{ 变换}} B_m^n(z) = \frac{1}{m^n} (B_m^0(z))^{n+1} \cdot B_1^n(z) \Rightarrow B_m^n(z)$$

$$= \frac{1}{m^n} \left(\sum_{k \in \mathbb{Z}} z^{-k} \right)^{n+1} \cdot \sum_{k \in \mathbb{Z}} b_1^n(k) z^{-k} \quad (9)$$

由式(9)可知,由于 $B_m^n(z)$ 实际上可构成 FIR 数字滤波器的系统函数^[5],因此当 $c_m(\hat{k})$ 求得后,在图像放大处理中,各像素点灰度值的插值重构 $s_m^n(\hat{k})$ 可通过对 $c_m(\hat{k})$ 进行 FIR 数字滤波而快速求解。

综上所述,在对图像进行逐行(或列)插值时,B-样条插值运算可分为以下两步(如图 1 所示),首先通过对图像各采样点的灰度值进行 IIR 数字滤波求得 B-样条的权系数序列 $c(k)$ 来构造 n 次样条函数 $s_1^n(x)$;然后通过 FIR 数字滤波器对 $s_1^n(x)$ 进行插值重构来获得放大后各像素点的灰度值 $s_m^n(\hat{k})$ 。

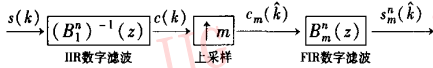


图 1 基于数字滤波的 B-样条插值运算过程
Fig.1 The operation of B-spline interpolation based on digital filter

3 精度分析

由采样定理可知,为了将离散数字信号无失真地转换为连续模拟信号(即理想恢复或理想插值),可采用理想低通滤波器来对数字信号进行滤波处理^[5](如式(10)所示),

$$f(x) = \sum_{k \in \mathbb{Z}} f_k \varphi(x - k) \quad (10)$$

其中 f_k 为已知的离散数字信号的数据序列, $\varphi(x)$ 为传递函数,当 $\varphi = \text{sinc}(x)$,即构成理想低通滤波器,也就实现了理想插值,但是由于 $\text{sinc}(x)$ 是无限支撑的,因此这种理想插值是实际不可能实现的。为了便于分析比较,现将 B-样条的插值变换为式(10)的形式,将式(5)的代入式(1)可得

$$\begin{aligned} s(x) &= \sum_{k \in \mathbb{Z}} ((b_1^n)^{-1} * s)(k) b^n(x - k) \\ &= \sum_{k \in \mathbb{Z}} s(k) \sum_{l \in \mathbb{Z}} (b_1^n)^{-1}(l) b^n(x - l - k) \\ &= \sum_{k \in \mathbb{Z}} s(k) \eta^n(x - k) \end{aligned}$$

对式中传递函数 $\eta^n(x)$ 进行傅里叶变换可得

$$H^n(\omega) = \left(\frac{\sin(\omega/2)}{\omega/2} \right)^{n+1} \frac{1}{B_1^n(e^{j\omega})}$$

线性插值、3 次 B-样条插值和理想插值,其频域特性的比较如图 2 所示。由图 2 可以看到,3 次 B-样条插值比线性插值在通带和阻带区域都更接近理想插值,这说明其插值精度更高,插值误差更小。事实上,随着 B-样条次数的增大,其插值将逐渐收敛于理想插值。由此可见,采用高次 B-样条插值可以有效地提高插值精度。

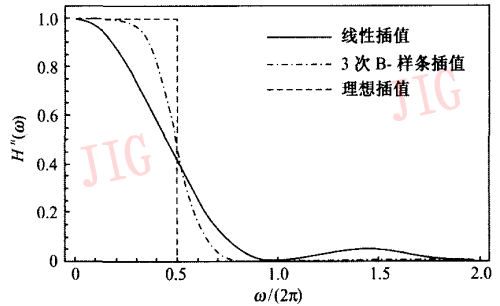
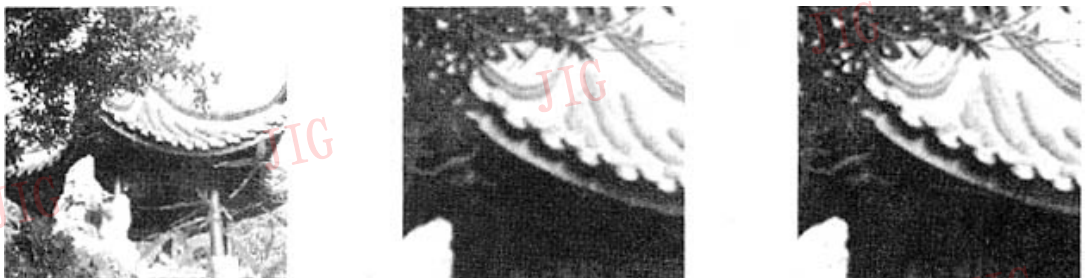


图 2 几种插值法的频域特性

Fig.2 The frequency characteristics of a few of interpolations

分别采用不同的插值方法放大 16 倍(4 × 4)后的图像如图 3 所示,其中图 3(a)为原始图像,图 3(b)为采用线性插值方法放大 16 倍后的图像,图 3(c)为采用 3 次 B-样条插值方法放大 16 倍后的图像。通过图像的对比结果可以看到,图 3(c)放大图像效果优于图 3(b),从而证实了上述结论。



(a) 原图 (b) 采用线性插值的放大图像 (c) 采用 3 次 B-样条插值的放大图像

图 3 用线性插值和 3 次样条插值实现的图像放大结果

Fig.3 The pictures on the enlargements of image realized by linear interpolation and cubic B-spline interpolation

4 基于 FPGA 的图像放大实现

4.1 3 次 B-样条插值的实现

基于上述分析,为了保证图像的插值效果,本文采用基于 3 次 B-样条函数的插值方法实现了图像放大变换后的高质量插值重构运算。本文以放大倍数 m 取 2(即水平或垂直方向放大 2 倍)为例来讨论插值运算的实现。如前所述,在进行插值重构前,首先必须求出插值样条空间的权系数 $c(k)$,并对由原始图像各像素灰度值构成的样条空间作逆变换。由式(1)可知, $s^3(x) = \sum_j c(j)b^3(x-j) = c(x) * b^3(x)$, 式中, $b^3(x)$ 为 3 次 B-样条函数(如图 4 所示)当 $x = k$ 时,有 $s^3(k)|_{x=k} = c(k) * b^3(k)$,其中 $b^3(k)$ 可由式(2)求得

$$s(k) = \frac{1}{6}c(k-1) + \frac{4}{6}c(k) + \frac{1}{6}c(k+1)$$

也即

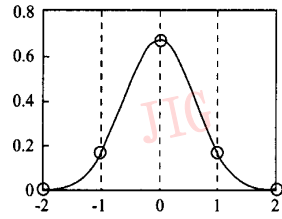


图 4 3 次 B 样条函数的曲线图
Fig. 4 The graph of cubic B-spline function

$$s(k-1) = \frac{1}{6}c(k-2) + \frac{4}{6}c(k-1) + \frac{1}{6}c(k) \quad (11)$$

对式(11)进行 z 变换可得

$$C(z) = \frac{6z^{-1}}{1 + 4z^{-1} + z^{-2}} \cdot S(z) \quad (12)$$

从式(12)可知,为快速计算 3 次 B-样条插值的权系数 $c(k)$,可以通过设计 IIR 数字滤波器来快速求得(如图 5 所示)。当权系数 $c(k)$ 已知后,再对 $c(k)$ 进行上采样即可获得 $c_2(\hat{k})$ 。

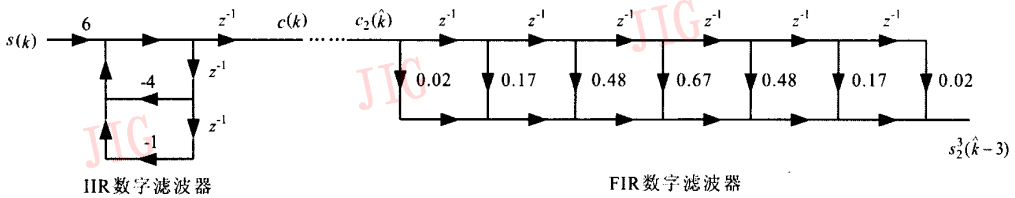


图 5 基于 3 次 B-样条的数字滤波器结构图
Fig. 5 The structure of digital filter based on cubic B-spline

于是通过 3 次 B-样条重构即可计算出图像行(或列)放大 2 倍后各像素点的灰度值,即

$$s_2(\hat{k}) = c_2(\hat{k}) * b_2^3(\hat{k}) \xrightarrow{z \text{ 变换}} S_2(z) = C_2(z) \cdot B_2^3(z)$$

式中的 $b_2^3(k) = \left(\frac{1}{2^3} * b_2^0 * b_2^0 * b_2^0 * b_2^0\right) * b_1^3(k)$ 如图 4 所示。对 $b_2^3(k)$ 进行 z 变换可得

$$b_2^3(k) \xrightarrow{z \text{ 变换}} B_2^3(z)$$

$$= \frac{32 + 23(z + z^{-1}) + 8(z^2 + z^{-2}) + (z^3 + z^{-3})}{48} \quad (13)$$

根据式(13),只需进行简单的时延变换就可以设计 FIR 数字滤波器,再对上采样系数序列 $c_2(\hat{k})$ 进行高速滤波处理,即可实现图像放大处理的插值重构(如图 6 所示)。

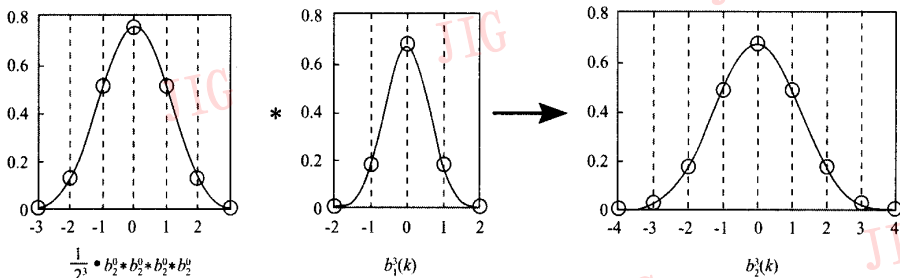


图 6 放大倍数 $m = 2$ 的 3 次 B-样条的卷积特性图
Fig. 6 The graph of convolution of cubic B-spline with a scale factor of $m = 2$

以上是以放大倍数 m 等于 2 为例介绍的 3 次 B-样条插值的实现。实际上,对于其他放大倍数的插值计算方法也类似。

4.2 FPGA 实现图像的快速放大和显示

本系统采用了以 FPGA 为核心的方法来实现图像的快速放大和显示^[6-8],其工作原理如图 7 所示。为了保证 LCD(液晶显示器)能连续地显示画面,本系统利用两片 61LV5128(512K×8 的高速 SRAM)芯片作为帧存贮器(A 和 B),用于交替地存贮图像放大后的画面。系统中的另一片 SRAM(61LV5128)用于存贮图像放大运算过程的中间值。FPGA 主要任务包括图像的放大运算和对 LCD 的视频控制两个方面。本系统选用了 Xilinx 公司的 Spartan II 系列中的 XC2S150-5FG256 芯片,它是通过复杂可编程逻辑器件 CPLD(Complex programmable logic device)XC9572XL 和快速存储器 Flash Memory(HY29LV160)来实现配置或重构的。FPGA 外部输入的时钟频率为 40MHz,经过分频得到 20MHz 的内部工作频率。

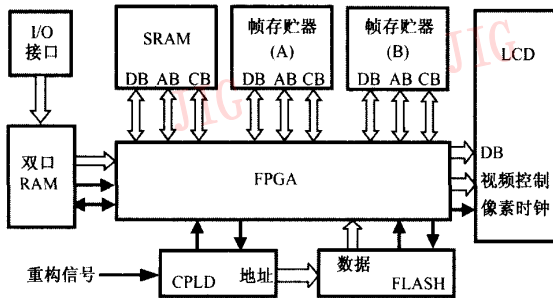


图 7 基于 FPGA 的高速图像放大系统的原理图

Fig. 7 The element graph of the system of fast image enlargement based on FPGA.

FPGA 在实现图像放大时,由于图像放大运算被分解为两次 1 维空间的插值运算,因此本系统中采用一片 SRAM 作为缓存,用于存放第 1 次插值后的图像像素灰度值,而图像经过行和列两次插值运算后的最终结果将存放到帧存贮器中。其工作过程分为以下几部分:

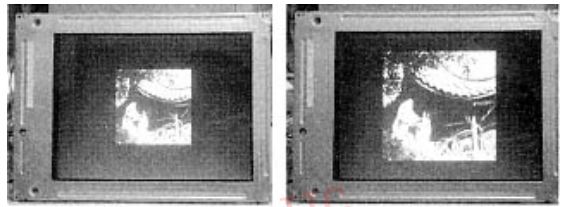
- ① CPLD 根据重构信号实时地从 PROM 中导入程序,以实现 FPGA 的动态重构;
- ② FPGA 从双口 RAM 中逐行读取各像素点的灰度值,并沿行方向进行插值运算,然后将计算出的各个新像素的灰度值存入 SRAM 中;
- ③ FPGA 从 SRAM 中逐列读取各像素点的灰度

值,并沿列方向进行插值运算,然后将计算出的各个新像素的灰度值存入帧存贮器 A,此时数据即为图像放大的最终结果。

需要注意的是,由于 LCD 显示的图像范围是有限的,对于放大后超出 LCD 显示边界的像素点没有必要进行插值运算,因此在沿行(或列)插值时应进行边界检测,这样不仅可以减少存贮空间,也能够大大提高运算速度。由图 4 可知,对于每个像素点,由于其 3 次 B-样条的插值运算需要 9 次乘法运算和 8 次加法运算,因此在利用 FPGA 实现插值运算时,应并行地执行运算过程。

以上是实现对帧存贮器 A 写图像放大结果的过程。当 FPGA 对帧存 A 写数据时,FPGA 则从 B 帧存中读取数据(上次放大运算的结果)并送至 LCD 进行显示,然后反之,以便完成 LCD 的连续显示。FPGA 的逻辑实现采用 VHDL 硬件描述语言进行设计^[9]。

图 8 所示为采用本系统对 200×200pixels 的 256 级灰度图像进行放大 4 倍后获得的 400×400pixels 图像在 LCD 上显示的实摄结果。



(a) 放大前:200×200pixels 图像 (b) 放大后:400×400pixels 图像

图 8 在 LCD 上显示的图像放大前后的实摄结果

Fig. 8 The photos of image before and after enlarging on LCD

4.3 基于 FPGA 的硬件动态可重构

硬件动态可重构技术是指数字系统制造完成以后,其硬件结构可以根据需要进行重新配置的技术。由于本系统可能需要对图像按不同放大倍数进行放大,因此有必要使系统在运行过程中能根据需要通过实时地改变硬件(FPGA)的配置来实现不同的算法,以便使得系统完成任务的性能达到最佳。对 FPGA 重构的过程是:当 CPLD 收到重构信号(重构启动信号、重构选择信号、DONE 信号等)后,CPLD 即输出正确的 18 位地址信号、写信号、片选信号。在重新配置之初,可将 FPGA 的引脚/PROGRAM,/INIT 和 DONE 都置为低电平,此时,系统处于清配置存储器状态,/CS 和 /Write 输出为高。当 FPGA

清完配置存储器后,将释放/INIT脚,/INIT变高。在时钟CCLK的下一个上升沿,若检测到/INIT为高,则写控制触发器翻转,/CS和/Write输出为有效低电平,同时,地址计数器开始计数,此时FLASH芯片的地址总线发生变化,新的配置数据出现在数据总线上,在时钟CCLK的上升沿将数据读入。配置结束后,DONE信号变高,三态门OBUFT输出高阻,配置结束。在配置完成时,DONE为高,并开始启动芯片。

5 结 论

将图像的放大过程分解成两步的一维空间插值,不仅简化了系统的复杂程度,而且使图像放大功能得以硬件化实现。这种设计思路在开发小型化、便携式图像仪器技术等领域中具有极其重要的意义。本系统的实践表明,这种基于FPGA的图像放大的硬件系统,不但显著地提高了图像的放大运算的速度,而且通过3次B-样条插值有效地提高了图像放大的质量。本系统在 200×200 的LCD上显示放大4倍的图像,需要的时间为10.5ms,这是采用软件方案无法达到的。通过引入动态重构技术,系统可以实现不同倍数的图像放大。此外,由于进行了图像边界的判定,对于不同倍数的图像放大运算可以确保其运算时间不会明显增大,对于显示精度更高的图像(如 512×512 pixels以上的图像)可采用提高时钟频率的方法来提高运算速率,或采用单帧双扫技术为系统提供更多的运算时间。实践证明,本系统可以满足高速、高质量图像放大的要求。

参 考 文 献

- 1 Schoenberg I J. Cardinal interpolation and spline functions [J]. Approximation Theory, 1969, 2: 167 ~ 206.
- 2 Unser M, Aldroubi A, Eden M. B-spline signal processing: Part I-Theory[J]. IEEE Transactions on Signal Processing, 1993, 41(2): 821 ~ 833.
- 3 Unser M, Aldroubi A, Eden M. B-spline signal processing: Part II-Efficient design and applications [J]. IEEE Transactions on Signal Processing, 1993, 41(2): 834 ~ 848.
- 4 Unser M, Aldroubi A, Eden M. Fast B-spline transform for continuous image representation and interpolation [J]. IEEE Transactions on Pattern Analysis And Machine Intelligence, 1991, 13(3): 277 ~ 285.
- 5 Ding yumei, Gao xiquan. Digital Signal Processing [M]. Xi'an: Xidian University Press (Ver. 2), 2001 (in Chinese) [丁玉美,高西全. "数字信号处理"(第二版) [M]. 西安:西安电子科技大学出版社, 2001年1月.]
- 6 Xilinx, Inc. The programmable logic data book [R]. 95124-3400, San Jose, CA, USA, Xilinx, Inc. 1999.
- 7 Xilinx, Inc. Configuring spartan-II FPGAs from parallel EPROM [DB/OL]. <http://www.xilinx.com/xapp/xapp178.pdf>, 1999, 12.
- 8 Li Kaiyu, Zhang Huanchun, Jing Yazhi. FPGA-based fast, high-quality rotation of image [J]. Journal of Image and Graphics, 2004, 9(3): 285 ~ 289. [李开宇,张焕春,经亚枝. 基于FPGA的高速、高质量图像旋转 [J]. 中国图象图形学报, 2004, 9(3): 285 ~ 289].
- 9 Hou Buoxiang, Gu Xing. VHDL VHSIC hardware description language and digital logic circuit design (Ver. 2) [M]. Xi'an: Xidian University Press, 1999. 1 (in Chinese) [侯伯亨,顾新. VHDL硬件描述语言与数字逻辑电路设计 [M]. 西安:西安电子科技大学出版社, 1999年1月, 第二版.]