

DVB-IP 网关中 ASI 环出电路的实现

罗云 周军

(上海交通大学图像通信与信息处理研究所, 上海 200030)

摘要 为了在 DVB-IP 网关中实现性能优良的 ASI 环出电路, 提出了一种 DVB-IP 网关中 ASI 环出电路的实现方法。该方法以 PE-65508 差分转换芯片、CLC014 高速自适应均衡器芯片与 CLC006 高速电缆驱动芯片为基础, 不仅结构简单, 还实现了 270Mbps ASI 码流的环出。先介绍了 ASI 与 SPI 的特点, 接着详细阐述了 ASI 环出功能的具体电路工作原理, 最后给出了测试结果。该 ASI 环出电路具有约 1.8 倍的放大性能, 不但环出能力强, 而且完全适用于环出后的再传输与多级环出的应用。

关键词 异步串行接口 环出

中图分类号: TN943 TN919.85 文献标识码: A 文章编号: : 1006-8961(2005)11-1390-04

Implementation of ASI Loop Output Circuit in DVB-IP Gateway

LUO Yun, ZHOU Jun

(Institute of Image Communication and Information Processing, Shanghai Jiaotong University, Shanghai 200030)

Abstract An implementation of the ASI loop output circuit in the DVB-IP gateway is introduced. The implementation which simply realizes the loop output of 270Mbps ASI transport stream is based on the chip PE-65508, CLC014 and CLC006. The paper first mentions the features of ASI and SPI, then describes the circuit in detail, and gives out the test result at last. In the test, the loop output signal is amplified by 1.8 times. The loop output function is so strong that it can meet the requirements of re-transport after loop output and multilevel loop output.

Keywords ASI, loop output

1 引言

2004年, 宽带网络如雨后春笋般在我国迅速普及, 这使得在过去看似毫不相干的两大行业——电视与电信有了融合的契机, 因此2005年就被业界称为中国的网络电视(internet protocol television, IPTV)年。

数字电视广播 IP 网络(digital video broadcast-internet protocol, DVB-IP)网关作为 IPTV 系统的前端设备, 其主要功能是将接收到的异步串行接口(asynchronous serial interface, ASI)码流解复用后打成 IP 数据包发出。由于通常一个 ASI 码流中复用了多种节目流, 而网关中一块业务板所能处理的节

目流数目有限, 这时就需要将 ASI 码流环出到其他业务板处理; 不同的业务板需要处理不同的节目流时也要用到 ASI 环出功能, 所以 ASI 环出电路在 DVB-IP 网关中是必不可少的。下文就将详细阐述该电路的具体实现。

2 ASI 与 SPI

众所周知, 在 DVB/MPEG-2 传输流的接口标准 En50083-9^[1]中规定了两种接口标准——ASI 和同步并行接口(synchronous parallel interface, SPI)。

其中, SPI 为同步并行接口, 共有 11 根信号线: 8 根数据(Data)线(0~7)以及时钟(Clock)信号、数

基金项目: 国家高技术研究发展计划“863”项目(2005AA103310)

收稿日期: 2005-08-16; 改回日期: 2005-09-06

第一作者简介: 罗云(1982~), 男, 2004年获上海交通大学电子信息工程学士学位, 现为上海交通大学硕士研究生。主要研究方向为网络多媒体。E-mail: robertluo@sjtu.edu.cn

据有效信号 (DVALID, 用来区分 TS 包的长度为 188Byte 或 204Byte) 和同步信号 (PSYNC), 且所有信号都与时钟信号保持同步。它能够以不同的速率传输信号, 传输时使用低电压差分信号 (low voltage

differential signaling, LVDS) 技术, 其在物理链路上采用双层 25 针接口连接。由于 SPI 连线复杂易出错, 但连接简单易扩展, 故常用于短距离传输的设备间连接。188Byte 包长的 SPI 数据格式如图 1 所示。

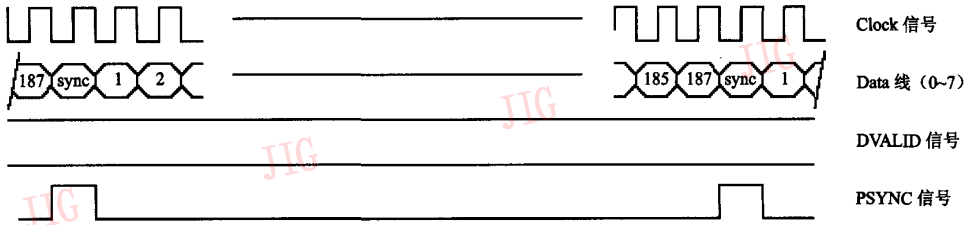


图 1 188Byte 包长 SPI 传输格式

Fig. 1 SPI transmission format with 188 Byte packets

ASI 为异步串行接口, 由于待传数据的每字节经 8bit/10bit 编码和并串转换后, 以固定比特率 270Mbps 传输, 在没有数据可传输时, 为保持恒定的传输速率, 需插入同步字, 因此 ASI 码流能以不变的传输速率传输不同数据速率的数据。由于 ASI 在传输时加入了冗余数据, 所以其较 SPI 有较强的抗扰、检错和再同步能力, 并有利于进行长距离的传输。

ASI 传输系统如图 2 所示: 由传输层、链路层和物理层 3 部分组成。其中, 物理层定义了传输媒质 (光纤与同轴电缆) 以及传输速率 (270Mbps); 链路层包括串行编码规则、特殊字符和差错控制; 传输层使用 MPEG-2 传输流数据包标准。传输数据包可以以连续字节块传送或者以有同步字插入的单字节传送, 或者用以上两种形式的混合也是可以的。

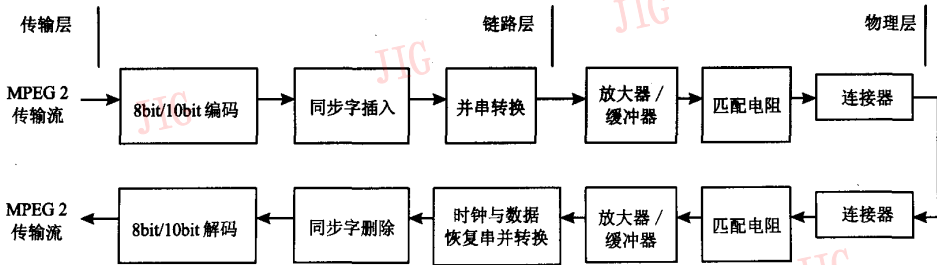


图 2 ASI 传输系统

Fig. 2 ASI transmission system

3 ASI 环出电路的实现

整个 ASI 环出电路在结构上可分为输入/输出、均衡与驱动环出 3 部分。

3.1 ASI 码流的输入/输出

ASI 码流在传输过程中使用 75Ω 阻抗的同轴电缆, 在物理接口上采用同轴电缆环行接头。ASI 码流输入后, 为了进一步提高信号的抗干扰能力, 先要将 ASI 信号转换成差分信号, 故输出时也需要进行差分信号至 ASI 信号的转换。而 Pulse 公司的 PE-

65508^[2] 就能实现 75Ω 同轴电缆信号与差分信号的双向转换, 因其最高工作频率为 531MHz, 故完全适用于 270Mbps 的 ASI 码流。具体电路如图 3 所示。

利用该电路就可将 ASI 输入信号 ASI_In 转换成差分信号 $IN+$ 和 $IN-$, 而将驱动环出的差分信号 $LO+$ 和 $LO-$ 转换成 $ASI_LOOPOUT$ 单端信号输出。

3.2 ASI 码流的均衡

ASI 码流经长距离的传输后, 需要通过均衡来补偿损耗。本文选用 National 公司的 CLC014^[3] 来进行 ASI 码流均衡。CLC014 是一款高速自适应均衡器, 其适用的数据速率范围从 50MHz 至 650MHz,

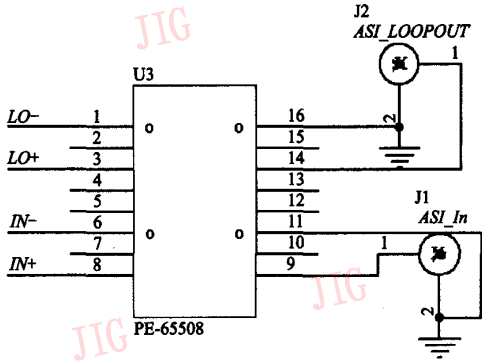


图 3 ASI 输入/输出电路

Fig. 3 ASI Input/Output Circuit

并能够自适应 0 至最多 300m 同轴电缆的不同信号衰落程度下的均衡。另外,它所需的外部器件少、功耗低。具体的电路如图 4 所示。

ASI 码流均衡时,差分信号 $IN+$ 和 $IN-$ 在 DI

和 \overline{DI} 管脚输入,而由管脚 DO 和 \overline{DO} 输出均衡后的 ASI_DIFIN 和 $\overline{ASI_DIFIN}$ 差分信号。其他管脚说明:电源管脚 V_{cc} 接 +5V 电源;电源管脚 V_{ee} 接地;自适应均衡控制环路滤波器管脚 AEC+ 与 AEC- 间所接的电容用于控制自适应均衡环路的响应时间。

3.3 ASI 码流的驱动环出

这是整个 ASI 环出电路中最重要的一部分,具体电路如图 5 所示。

在该电路中,本文选用了 National 公司的 CLC006^[4]。CLC006 是为进行串行数字视频数据传输设计的单片高速电缆驱动器。它不仅能在最高 400Mbps 数据速率下驱动 75Ω 传输线,还具有可控的输出信号上升沿和下降沿时间能使传输引入的抖动最小。其在不需要外部电阻的情况下,使输出摆幅可从 $0.7V_{p-p}$ 调整到 $2V_{p-p}$ 。另外,CLC006 的输出可以比一般设计花费更少的功耗,其可接受的数字差分信号输入范围也很广:从 $200mV_{p-p}$ 到通常模式规范的 ECL 电平极限。

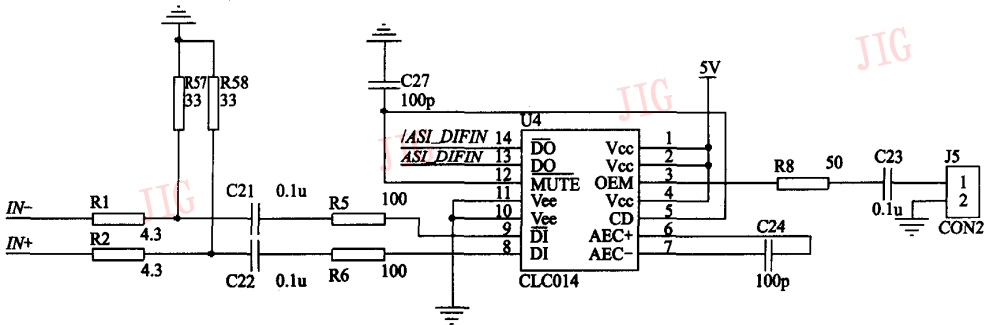


图 4 ASI 均衡电路

Fig. 4 ASI equalization circuit

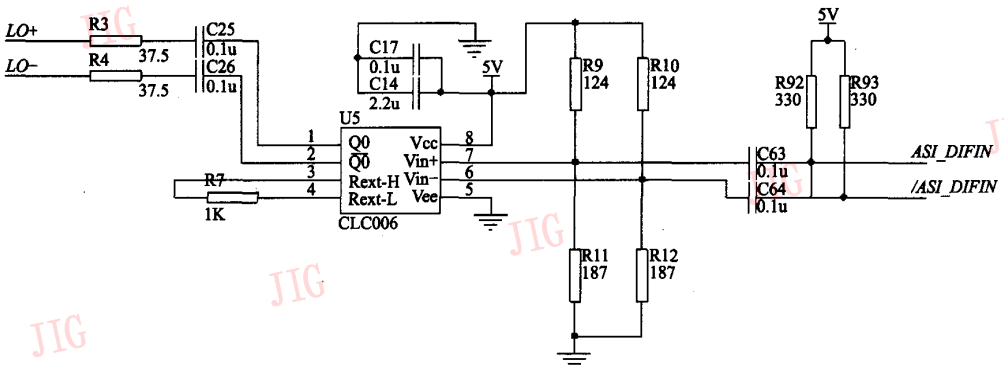


图 5 ASI 驱动环出电路

Fig. 5 ASI loop output circuit

值得注意的是,由于均衡后的 ASI_DIFIN 和 /ASI_DIFIN 差分信号不仅要供驱动环出电路使用,而且通常也要供 ASI 码流的后续处理电路使用,如用 Cypress 公司的 CY7B933 转换芯片将 ASI 信号转换成 SPI 信号等,因此,如何让 ASI_DIFIN 和 /ASI_DIFIN 差分信号同时驱动多个后续电路十分重要。在此,本文采用将 5V 电源经过小电阻后与 ASI_DIFIN 和 /ASI_DIFIN 差分信号连接的方法来将两者的电位拉高,以提高它们的驱动能力。拉高后的 ASI_DIFIN 和 /ASI_DIFIN 信号通过级间电容后进入 CLC006 的工作电路。

ASI 码流驱动环出时,输入管脚 V_{in+} 和 V_{in-} 接输入信号;电源管脚 V_{cc} 接 +5V 电源;电源管脚 V_{ee} 接地;外部电阻连接管脚 R_{ext-H} 与 R_{ext-L} 间所接外部电阻,用来调节输出信号的幅度;差分环出信号 $LO+$ 和 $LO-$ 分别从输出管脚 $Q0$ 和 $\overline{Q0}$ 输出,再经 3.1 节中提及的 PE-65508 转换芯片,变为单端 ASI 格式信号输出。

至此,整个 ASI 环出电路介绍完毕。

4 实 验

本文将此 ASI 环出电路应用于 ASI 到 SPI 转换板上。ASI 到 SPI 转换板用于实现 ASI 码流的接收、环出及转换成 SPI,并提供后级业务板作打 IP 数据包处理的功能。

测试时,首先由码流发生分析仪输出符合 MPEG-2 标准的 TS 流(传输流),然后通过标准 ASI 接口 BNC 输入转换板。当环出与转换两个功能均正常工作,并测得输入 ASI 信号为 $0.9V_{pp}$ 时,环出

信号为 $1.6V_{pp}$ 。这说明 ASI 环出电路已经成功实现,并可有效地放大这信号,以利于环出信号的再传输。

接着将环出信号接入转换板进行多级环出测试,结果 1 级环出与 2 级环出均能正常工作,而更多级的环出测试则因设备数量限制未予实施。

5 结 论

本文设计的 ASI 环出电路由于采用了 PE-65508 差分转换芯片、CLC014 高速自适应均衡器与 CLC006 高速电缆驱动芯片,因此电路结构简单。其不仅在测试中成功实现了环出功能,同时不影响其他 ASI 码流处理功能的工作,还通过了 1 级与 2 级环出的测试,且环出能力强。

参考文献 (References)

- 1 European Committee for Electrotechnical Standardization. Cable networks for television signals, sound signals and interactive services, Part 9: Interfaces for CATV/SMATV headends and similar professional equipment for DVB/MPEG-2 transport streams[S]. EN 50083-9, European Committee for Electrotechnical Standardization, 1998.
- 2 Pulse. Fibre channel dual transformers for use with 75 Ω coaxial or 150 Ω STP cable [R]. A101. A, Pulse, San Diego, CA, USA, 1999.
- 3 National Semiconductor. CLC014 adaptive cable equalizer for high-speed data recovery [R]. DSI00056, National Semiconductor, Santa Clara, CA, USA, 1998.
- 4 National Semiconductor. CLC006 serial digital cable driver with adjustable outputs [R]. DSI00084, National Semiconductor, Santa Clara, CA, USA, 1998.