

# 基于 DM642 的 MPEG-2 传输流解复用 再复用系统设计

卢国勋 孙 军 周 军

(上海交通大学图像通信与信息处理研究所, 上海 200240)

**摘 要** 为了提高视频流传输系统的性能,并简化设计,提出了一种基于 TI DM642 处理器的 MPEG-2 传输流解复用再复用系统设计。与以前的设计相比,该设计由于充分利用了 DM642 处理器内部的 Video Port、PCI、EDMA 等硬件特性,从而提高了系统性能。同时还提出了一种基于 VIC Port 的 PCR 校正方法,用于简化 PCR 校正的实现。测试表明,该设计能对传输码率为 80Mbps 的传输流进行实时解复用再复用,从而满足了实际应用对码率的要求。

**关键词** 网络电视 MPEG-2 解复用再复用 节目时钟基准校正 视频口 内插控制端口 外设部件互连接口  
**中图分类号**: TN919.81 **文献标识码**: A **文章编号**: 1006-8961(2006)11-1605-06

## System Design for De&Re-multiplexing of MPEG-2 Transport Stream Based on DM642

LU Guo-xun, SUN Jun, ZHOU Jun

(Institute of Image Communication & Information Processing, Shanghai Jiao Tong University, Shanghai 200240)

**Abstract** To achieve high performance and simplify the design, this paper presents the system design for de&re-multiplexing of MPEG-2 TS (transport stream) based on DM642. Compared to former methods, this design uses many DM642 internal hardware properties such as Video Port, PCI(peripheral component interconnect), EDMA(enhanced direct memory access) etc, by which the system performance is enhanced. The algorithm of PCR (program clock reference) correction based on VIC Port(voltage controlled crystal oscillator interpolated control port) is proposed which reduces the complexity of PCR correction. Experiments have proved that the max TS processing rate is 80 Mbps, which meets the application requirements.

**Keywords** internet protocol television(IPTV), MPEG-2, De&Re-multiplex, program clock reference(PCR) correction, video port, VIC Port, peripheral component interconnect(PCI)

## 1 引 言

MPEG-2 是国际通用的图像压缩标准<sup>[1]</sup>。自 MPEG-2 技术标准出台以来,基于 MPEG-2 技术的广播电视业务不断地推陈出新。目前,MPEG-2 标准虽然不是最新的标准,但因其产品技术最为成熟而得到了国内数字广播电视市场的认可和广泛应用,

而且在 IPTV(internet protocol television)市场应用也最为广泛。在宽带 IP 网络上开展标准清晰度电视(standard definition television, SDTV)和高清晰度电视(high definition television, HDTV)所需的关键设备就是连接 DVB(digital video broadcasting)广播网和 IP 网的 DVB-IP 网关设备<sup>[2]</sup>。该网关设备负责将 DVB 中 MPEG-2 格式音/视频流转换到 IP 网上,以 RTP(real-time transport protocol)协议进行传送,同

基金项目:国家“863”高技术研究发展计划项目(2005AA103310);国家发改委 CNGI 项目(CNGI-04-15-2A)

收稿日期:2006-05-30;改回日期:2006-08-05

第一作者简介:卢国勋(1982~),男。2004 年获南京邮电大学工学学士学位,现为上海交通大学硕士研究生。主要研究方向为网络多媒体。E-mail:climbing@sjtu.edu.cn

时解析并提取 DVB 节目中的服务信息 (service information, SI)。其中一个重要功能就是接收 MPEG-2 HD/SD TS (transport stream) 流,即先将 MPTS (multi-program transport stream) 进行解复用,然后进行单节目的再复用来生成标准的 SPTS (single program transport stream) 流,并完成 PSI (program specific information)、SI 信息的提取、解析。以前的解复用设计往往采用 DSP + FPGA<sup>[3]</sup>或 DSP + CPLD (complex programmable logic device)<sup>[4]</sup>方案实现。有别于以往的解复用方案,本文提出了一种基于 TI DM642 处理器的 MPEG-2 传输流解复用再复用设计方案。由于该设计充分利用了 DM642 处理器内部的 Video Port、PCI (peripheral component interconnect)、EDMA (enhanced direct memory access) 等硬件特性,因而不仅提高了系统性能,而且节省了硬件资源。基于 VIC Port (voltage controlled crystal oscillator interpolated control port) 的节目时钟基准 (program clock reference, PCR) 校正方法,还简化了 PCR 校正的实现。

## 2 DM642 的硬件特性

DM642<sup>[5]</sup>是 TI 公司推出的一款专门为多媒体应用而设计开发的基于 C64X 核的数字媒体处理芯片。该款芯片集成了一系列硬件特性,以适应视频处理技术的发展。本设计中用到的一些硬件特性有:

(1) Video Port DM642 集成了 3 个视频口。视频口由通道 A 和通道 B 2 个通道构成,它们共用 5 120Byte Buffer 作为缓冲,且大小在两者之间可分配。该端口支持 8/10bit BT. 656 视频 I/O、8/10bit RAW I/O、16/20bit Y/C I/O、16/20bit RAW I/O 以及 8bit TSI (transport stream interface)。采用 DM642 Video Port 接收 TS 流时,需将 Video Port 设置在 TSI capture 并行模式。该模式具有同步 SYNC 信号检测、接收数据包大小可编程、在接收 TS 流中插入时间戳、最大数据率 30M Bytes/s 等特性。

(2) VIC Port DM642 VIC Port 模块含有一个 Sigma Delta 数/模转换器。当视频口工作在 TSI capture 模式时,DM642 的电压控制晶体振荡器 (voltage controlled crystal oscillator, VCXO) 的内插控制端口 (VIC Port) 就可以用来控制本地的晶体振荡器,以恢复传输流的系统时钟。

(3) PCI DM642 的 PCI 接口支持 DSP 通过 PCI 总线和外部 PCI 设备进行数据交换。在 DM642 中,PCI 是通过 EMDA 与 L2 存储器 (配置成 SRAM) 进行通信的,它支持以下 4 种 PCI 数据处理类型:①从设备写,即从外部 PCI 主设备 (micro control unit, MCU) 写数据到 DSP 从设备;②从设备读,即外部 PCI 主设备从 DSP 设备读取数据;③主设备写,即从 DSP 主设备写数据到外部 PCI 从设备;④主设备读,即 DSP 主设备从外部 PCI 从设备读取数据。

(4) EDMA 由于 DM642 的 EDMA 通道增强至 64 个,可以独立于 CPU 处理 L2 Cache/SRAM 和 C64X 外设之间的数据传输,因此可以同时处理 64 路不同的内容的 DMA 传输。DM642 的 Video Port 和 PCI 的设计均结合了其 EDMA 传输机制。

## 3 解复用再复用设计基础

### 3.1 MPEG-2 传输流介绍

MPEG-2 传输流包长固定为 188Byte,每个 TS 包由包头、自适应区和包数据 3 部分组成。每个包长度为固定的 188Byte,包头长度占 4Byte,自适应区和包数据长度占 184Byte。TS 包的包头由同步字节、传送差错指示符、有效载荷单元起始指示符、传输优先级、包识别 (packet identifier, PID)、传输加扰控制、自适应字段控制和连续计数器 8 个部分组成。对于解复用再复用至关重要的信息就包含在 PCR 信息和节目源结合表 (program association table, PAT)、节目源映射表 (program map table, PMT) 信息中。PCR 是包括 42bit 的节目时钟基准字段,音视频同步主要就是依靠 PCR 来完成的。PAT、PMT 包含了各路节目的基本信息,有了 PAT 及 PMT 这两种表,解码器就可以根据 PID 将 TS 上从不同的 ES 来的 TS 包分别出来。

### 3.2 解复用再复用的要点

本设计要求接收 MPEG-2 HD/SD TS 流,先将 MPTS 进行解复用,然后进行单节目的再复用生成标准的 SPTS 流。该过程可以分为以下两个功能块:

(1) 解复用 根据 PAT 及 PMT,从输入的 MPEG-2 HD/SD TS 流中,将各路节目的 TS 包分别出来的解复用过程可以分两步进行:第 1 步是传输解复用,即从 PID 等于 0 的 PAT 上找出某节目源的

PMT 表的 PID 值;第 2 步是节目解复用,即从所选择的 PMT 中找到组成该节目源的各个 ES 的 PID。

(2)再复用 本设计中再复用的基本功能是将来自某一节目的 TS 包重新组合成一路 SPTS。其主要功能包括以下 3 点:①产生本地 27M 时钟,本地 27M 时钟为再复用时 PCR 修正提供了必要的支持;②PCR 校正(PCR correction),在解复用再复用的过程中,由于进入 DSP 的各个 TS 包在处理后经过的延迟不同,因此有必要对各个节目的 PCR 字段进行修正;③PSI 信息(本设计中主要指 PAT 和 PMT,而私有数据的插入可根据需要进行扩展)的插入。由于输入的传输流是多个节目的传输流组合而现在输出的是单节目流,所以输出 SPTS 的 PSI 信息要重新生成插入。

### 4 解复用再复用系统设计

#### 4.1 总体设计

图 1 为 MPEG-2 解复用再复用系统设计功能框图。图中 TS 流从 ASI(asynchronous serial interface)到 SPI(synchronous parallel interface)的串并转换由 Altera EP1C3T144C6 实现;SPI 的输入由 DM642 的 Video Port 实现;27MHz 本地系统时钟的产生由 DM642 的 VIC Port 实现;SPTS 的输出由 DM642 的 PCI 模块完成;其余的 MPTS 解析、PSI 信息的生成和插入、PCR 校正以及存储区的管理均由 DM642 软件实现。

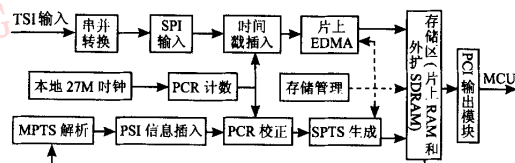


图 1 解复用再复用系统框图  
Fig.1 System block diagram for de&re-multiplexing

TS 流经过 FPGA 串并转换后,即可通过 DM642 Video Port 口输入,每次在 Video Port 接收到一个 TS 包时,VIC Port 就自动在包后面插入一个 8 Byte 附加信息,其中包括 PCR 时钟信息和数据错误指示信息。另外,利用带有 PCR 信息的 TS 包后的时间戳信息,并结合本地时钟计数器就可以实现 PCR 校正。然后接收到的包就通过片内的 EDMA 搬移到 DSP 的存储区。DSP 软件部分首先对 MPTS 进行分

析,以完成 MPTS 码流的同步字节校验、PSI、SI 信息提取、解析、CRC(cyclic redundancy check)校验编码检查等工作,为解复用再复用模块提供相关参数,然后根据得到的 MPTS 的 PSI 信息生成相应各路 SPTS 的 PSI 信息,并将其插入各路节目的 TS 流中,在完成 PCR 校正后再将码流分析的结果和各个 SPTS 码流通过 PCI 接口提供给 MCU 做相应处理。

DSP 软件处理流程如图 2 所示。如果 Video Port 通道中有新接收到的 TS 包,则通过 EDMA 读取该包,并首先进行 TS 包的同步检测,然后根据 TS 包 PID 的值,如果 PID 等于 0,则说明该包是 PAT,就提取该包中的 PAT section 存到 PAT 缓冲区,当 PAT section 完成时,还需对其进行解析,以确定各路节目的 PMT 的 PID;如果 PID 等于某路节目的 PMT 的 PID,则提取该包中的 PMT section 存到 PMT 缓冲区,当 PMT section 完成时,再对其进行解析,以确定该路节目的音频、视频 TS 包的 PID;如果 PID 等于某路节目的音频或者视频的 PID,则将其存到与该路节目相对应的存储区,如果 PID 等于某路节目的 PCR\_PID(含有 PCR 信息的 TS 包的 PID),则在 PCR 校正后再存到存储区,并通知 MCU 进行读取。如果该包是个空包或者未知 PID 的包,则视为错误的包而直接丢弃。

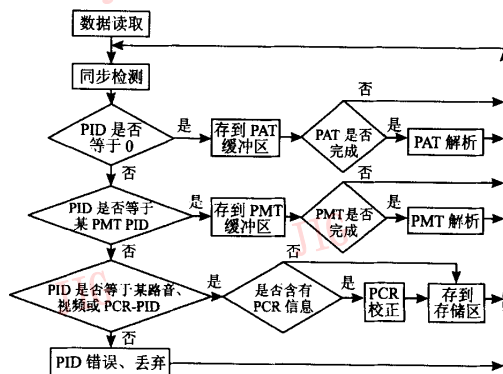


图 2 解复用再复用软件流程图  
Fig.2 Software flow chart for de&re-multiplexing

图 2 中没有画出 PSI 信息的插入,PSI 信息的插入由时钟中断程序完成,而中断程序则每隔 30ms 向每路节目的存储区插入一个 PAT 和 PMT。

#### 4.2 本地系统时钟

本地系统时钟可通过 DM642 的 VIC Port 获得。图 3 为 VIC Port 的时钟恢复模块,其分为硬件和软

件两部分。DSP 通过软件实现一个 PLL (phase lock loop) 锁相环, 锁相环用来控制接收到的 PCR 值和本地计数器之间的差值, 差值再用来控制 VIC Port 的内部寄存器, 以驱动 Sigma-Delta D/A 模块产生 VCTL (voltage control) 输出信号, VCTL 通过控制外部的 VCXO 振荡器可恢复传输流中某一路节目的系统时钟。由于当差值为 0 时, 本地计数器就以本地 27M 时钟计数, 因此本文用 0 差值来初始化 VIC Port 的内部寄存器, 并保持寄存器的值一直不变, 即可在本地计数器中获取到本地 27M 时钟的计数值。

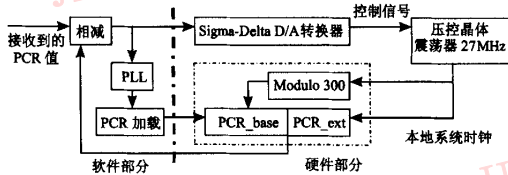


图 3 VIC Port 时钟恢复模块  
Fig. 3 VIC Port module for system time clock resuming

### 4.3 PCR 校正

进入 DSP 的各个 TS 包, 由于经过解复用再复用处理延迟, 包中的 PCR 值已不能精确地反映源编码端的时间信息, 因此有必要进行校正。为了完成校正, 必须计算出每个含有 PCR 值 TS 包的延迟  $\Delta PCR$ , 这样修正以后的  $PCR_{out}$  为

$$PCR_{out} = PCR_{in} + \Delta PCR \quad (1)$$

关键在于  $\Delta PCR$  的计算上面, 一般的方法是采用为每个包含 PCR 字段的包设立一个 PCR 计数器的方法进行计算, 计数器记录 PCR 包从进入解复用器到离开所经过的延迟  $\Delta PCR$ , 这种方法虽最为直观, 但很耗资源。文献[6]提出了比较巧妙的方法, 即只使用一个计数器完成所有  $\Delta PCR$  的计算。本文利用了 DM642 可以在每个 TS 包后面插入时间戳的特性, 其所采用的矫正方法和文献[6]方法有异曲同工之妙。 $\Delta PCR$  计算分以下两步:

(1) 设置 Video Port 接收的数据包长为 188Byte。这样 VIC Port 在每次接收到的 TS 包的后面都插入时间戳, 即图 3 中本地计数器的值。记此插入的值为  $COUNT_{in}$ 。

(2) 在 PCR 包输出时, 可通过读取当前本地计数器的值  $COUNT_{out}$  与  $COUNT_{in}$  相减来得到  $\Delta PCR$ 。

结合式(1)可以得出 PCR 校正算法如下:

$$\begin{cases} \Delta PCR = COUNT_{out} - COUNT_{in} \\ PCR_{out} = PCR_{in} + \Delta PCR \end{cases} \quad (2)$$

这种方法进行 PCR 校正有如下几个优点:

(1) 由于本地 27M 系统时钟和编码源端时钟基本一致, 不用恢复多节目流中的每一路系统时钟, 因此简化了实现。

(2) 考虑到每个 PCR 包的公共恒定延迟对终端解码器实现同步没有影响, 因而式中没有包含这部分, 这就简化了  $\Delta PCR$  的计算。

(3) 由于利用了 DM642 可以在 TS 流中插入时间戳的硬件特性, 从而简化了 PCR 校正的实现。

### 4.4 输入输出和存储管理模块

码流的输入输出和存储管理密切相关, 是解复用再复用系统中的重要模块, 它负责输入 TS 包和最后生成的各路 SPTS 的 TS 包的存储管理。

本设计中输入 TS 包的存储管理是通过 BIOS/OS 的管道实现。DSP 的 BIOS (basic input/output system) 是一个集成在 CCS (code composer studio) 中的简易的实时操作系统内核, 它具有多任务多优先级系统实时调度、内存管理、低层驱动抽象以及实时数据调试分析等功能。通过 CCS 自带的 BIOS 管理工具可以方便地设定管道的中帧的数目和大小, BIOS 内部实现了管道的管理。图 4 表示了当管道中有 3 个帧时, BIOS 内部的管道调度。BIOS 内部不断地循环各个帧, 可提供空帧作为数据的输入, 并按照各个帧接收数据的先后顺序将填满数据的帧作为后续处理的输入。

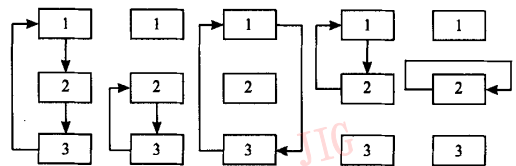


图 4 DSP/BIOS 管道调度  
Fig. 4 PIP management of DSP/BIOS

内部管道管理机制属于操作系统层, DSP 的应用程序可通过调用 BIOS 提供的一些 CSL (chip support library) 库函数和底层通信。应用程序首先调用 CSL 库函数 PIP\_alloc 从管道中获取一空帧, 然后等待视频口触发 EDMA 传输, 在 EDMA 完成一帧数据的传输后, 应用程序调用 PIP\_put 将帧放回管道, PIP\_put 会调用 PIP\_alloc (如图中虚线所示), 使得视频口再次触发 EDMA 传输, 此时 EDMA 传输和 DSP 的数据处理函数同时进行; 最后 DSP 的数据处理函数通过调用 PIP\_get 来从管道中获取一填满数

据的帧,获取的帧的顺序和各个帧接收数据的先后顺序一致,在完成处理后再调用 PIP\_free 将帧回收。图 5 就表示了这一数据输入的过程。

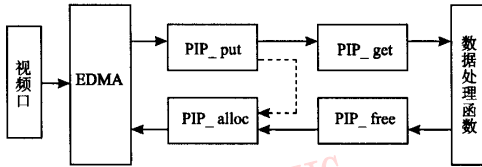


图 5 数据输入流程图

Fig. 5 Flow diagram of data capturing

本设计中数据的输出采用了类似于管道的管理机制:即首先为每路输出节目分配两块存储区,然后每次从存储区中获取一块填充输出数据,填满后通知 MCU 通过 PCI 读取数据,同时获取另一块存储区填充后面的输出数据,如此不断循环。由于负责数据输入输出的 Video Port 和 PCI 均利用 DM642 的 EDMA 机制进行数据传输,且除了中断服务程序以外不用 CPU 的参与,因此这种对输入输出数据采用多个存储空间交替存储的方式可以使 DSP 的数据输入输出和 DSP 的软件解复用再复用部分在时间上得以并行,这就提高了系统性能。

## 5 实验结果与结论

本文详细地介绍了基于 TI DM642 处理器的 MPEG-2 传输流解复用再复用系统的设计和实现的细节。该设计充分地利用了 DM642 的硬件特性,提高了性能、节省了硬件资源,并简化了系统的设计。本文提出的基于 VIC Port 的 PCR 校正方法,还简化了 PCR 校正的实现。作者使用 PCR 抖动较小的 MPTS 作为输入来对输出的第 1 路节目 SPTS 的 PCR 进行了分析,结果如图 6、图 7 所示。由该图可看出,经过解复用再复用系统后的增大的 PCR 值远小于 MPEG-2 标准要求的 500ns,这说明本方案的 PCR 校正方法是可行的。本文提出的设计方案已经得到实现,经测试证明,该设计能对传输码率为 80 Mbps 的传输流进行实时解复用再复用,并达到了预定的设计要求。

### 参考文献 (References)

- 1 ISO/IEC/JTC1/SC29/WG11. Generic coding of moving pictures and associated audio: systems[S]. ISO/IEC 13818-1, ISO/IEC, 1994.

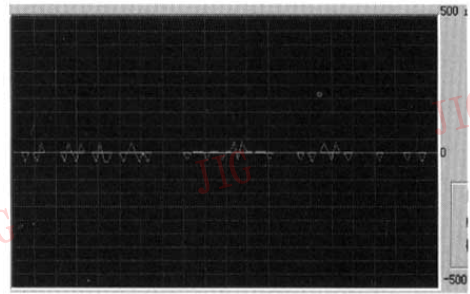


图 6 MPTS 中第 1 路节目 PCR 抖动

Fig. 6 The PCR jitter of program 1

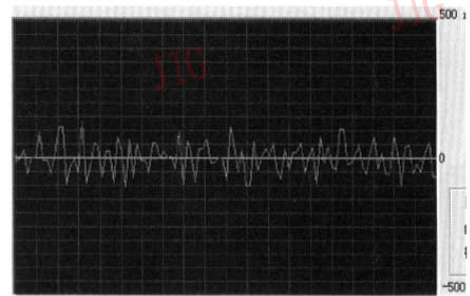


图 7 第 1 路节目 SPTS 的 PCR 抖动

Fig. 7 The PCR jitter of program 1 SPTS

- 2 LUO Chuan-fei, SUN Jun, ZHOU Jun. Design of DVB-IP gateway based on PICMG specifications[J]. Computer Engineering, 2004, 30(18): 61~63. [罗传飞,孙军,周军.基于PICMG规范的DVB-IP网关的体系设计[J].计算机工程,2004,30(18):61~63.]
- 3 LIU Zhao-hua, ZHOU Jun, WANG Xiang-wen. System design for demultiplexing of MPEG-2 TS stream based on DSP & FPGA[J]. Journal of Image and Graphics, 2005, 10(11): 1372~1374. [刘照华,周军,王向文.基于DSP+FPGA实现MPEG-2TS流解复用的系统设计[J].中国图象图形学报,2005,10(11):1372~1374.]
- 4 LIU Que-ling. Implementation of MPEG-2 demultiplexer on DSP[J]. TV Engineering, 2005, (6): 46~47. [刘鹤玲.基于DSP的MPEG-2解复用器实现[J].电视技术,2005,(6):46~47.]
- 5 Texas Instruments Incorporated (TI). TMS320-DM642 Fixed-point digital signal processor data manual TI[R], SPRS200J, Dallas, TX, USA:TI. 2005.
- 6 WANG Xing-dong, YU Song-yu, LIANG Long-fei. Implementation of MPEG-2 transport stream remultiplexer for DTV broadcasting[J]. IEEE Transactions on Consumer Electronics, 2002, 48(2): 329~334.